

(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

(12) Patentschrift
(10) DE 42 23 127 C 2

(21) Aktenzeichen: P 42 23 127.2-35
(22) Anmeldetag: 14. 7. 1992
(43) Offenlegungstag: 21. 1. 1993
(45) Veröffentlichungstag
der Patenterteilung: 4. 1. 2001



Docket # 2024

(51) Int. Cl. 7:

G 01 R 31/28

Inv.: Matthias EICHEN
et al.

DE 42 23 127 C 2

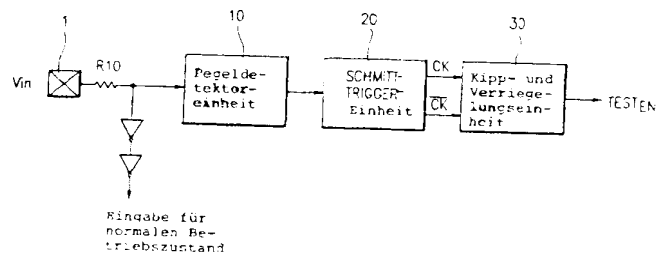
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(30) Unionspriorität:
12043/91 15. 07. 1991 KR
(73) Patentinhaber:
Goldstar Electron Co., Ltd., Cheongju, KR
(74) Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

(72) Erfinder:
Kim, Hag Keun, Anyang, KR
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 39 03 714 A1
DE 37 10 865 A1
DE 36 39 169 A1
US 48 16 757
US 47 33 168

(54) Schaltkreis zum Herbeiführen eines Prüfbetriebszustands für Halbleiterschaltungen

(57) Schaltkreis zum Herbeiführen eines Prüfbetriebszustands für Halbleiterschaltungen, mit:
– einem Eingangsanschluß (1) für ein Eingangssignal (V_{IN}), das zwei logische Pegel für einen normalen Betriebszustand sowie einen dritten Pegel zum Aktivieren bzw. Deaktivieren des Prüfbetriebszustandes einzunehmen vermag;
– einer Pegeldetektoreinheit (10) zum Ermitteln, ob der dritte Pegel des Eingangssignals (V_{IN}) anliegt;
– einem Schmitt-Trigger (20) zum Erzeugen eines negierten und eines nicht-negierten Steuersignals (\overline{CK} , CK) mit definierten logischen Pegeln aus einem Ausgangssignal ($n12$) der Pegeldetektoreinheit (10);
– einer Kipp- und Verriegelungseinheit (30) zum Erzeugen und Ausgeben eines Prüfbetriebsfreigabesignals ($TEST_{EN}$) in Abhängigkeit der vom Schmitt-Trigger (20) ausgegebenen Steuersignale (\overline{CK} , CK).



DE 42 23 127 C 2

USPS EXPRESS MAIL
EL 897 678 894 US
DECEMBER 11 2001

Die Erfindung betrifft einen Schaltkreis zum Herbeiführen eines Prüfbetriebszustandes für Halbleiterschaltungen.

Allgemein werden Freigabeschaltkreise für Prüfbetriebszustände bei Speicheranordnungen verwendet und im Stand der Technik sind unterschiedliche Typen von Prüfbetriebsfreigabeschaltungen bekannt. Ein herkömmlicher Prüfbetriebsfreigabeschaltkreis ist in der US 4 733 168 beschrieben. Der herkömmliche Prüfbetriebsfreigabeschaltkreis gemäß Fig. 1 enthält einen Pegeldetektorkreis 2 zum Ermitteln des Pegels an einem Eingangsanschluß 1, ein Inverter-Gate 3 zum Invertieren und Puffern des Detektorsignals vom Pegeldetektorschaltkreis 2, und einen Begrenzungsschaltkreis 4 zum Begrenzen von Maximal- und Minimalwerten des an den Eingang 1 eingelegten Pegels.

Der Pegeldetektorkreis 2 ist so aufgebaut, daß die Source eines NMOS-Transistors M1 über einen Widerstand R1 an den Eingangsanschluß 1 angelegt ist, während die Drain und das Gate des NMOS-Transistors M1 gemeinsam an die Source eines NMOS-Transistors M2 angeschlossen sind, ein Gate des NMOS-Transistors M2 geerdet ist, die Drain des NMOS-Transistors M2 gemeinsam an den Emitter eines bipolaren Transistors Q1 und eine Source eines NMOS-Transistors M3 angeschlossen ist, die Drain und das Gate des NMOS-Transistors M3 an eine Spannungsquelle V_{DD} angeschlossen sind, die Basis des bipolaren Transistors Q1 geerdet ist und der Kollektor desselben an eine Spannungsquelle V_{DD} angeschlossen ist.

Der Begrenzungsschaltkreis 4 begrenzt die Maximal- und die Minimalwerte des an den Eingangsanschluß 1 angelegten Spannungspegels, so daß andere periphere Schaltkreise gegenüber einem Spannungs- oder Stromstoß geschützt sind, der am Eingangsanschluß 1 auftreten kann.

Das invertierende Gate 3 invertiert den Pegel eines Eingangssignals, welches mittels des Pegeldetektorkreises 2 ermittelt wird, so daß das zunächst insoweit undefinierte Pegelsignal des Pegeldetektorkreises 2 als zutreffendes Signal mit einem Pegel oder tiefem Pegel abgegeben werden kann.

Da das Gate des NMOS-Transistors 2 geerdet ist, wird ein Eingangssignal eines Pegels entsprechend einer Subtraktion der Schwellspannungen $2V_{th}$ der NMOS-Transistoren M2 und M1 gegenüber dem Erdpotential angelegt, um die NMOS-Transistoren M1 und M2 einzuschalten. Da die Basis des bipolaren Transistors Q1 ebenfalls geerdet ist, ist der Minimalwert des Potentials am Verbindungsknoten N1 emitterseitig des bipolaren Transistors Q1 auf einen Wert begrenzt, der erhalten wird durch Subtraktion eines Schwellwertes des bipolaren Transistors Q1 in bezug auf das Massepotential.

Nimmt der Pegel der Eingangsspannung V_{IN} , die an den Eingangsanschluß 1 angelegt wird, einen "Normalwert" an, d. h. liegt der Pegel der Eingangsspannung V_{IN} zwischen dem Massepotential und der Spannung der Spannungsquelle, so sind die NMOS-Transistoren M1 und M2 in ausgeschaltetem Zustand und eine Spannung mit dem Pegel $V_{IN} - V_{th}$ wird am Verbindungsknoten N1 über den NMOS-Transistor M3 erzeugt, der allzeit im eingeschalteten Zustand ist, und die Spannung wird an das invertierende Gate 3 angelegt. Auf diese Weise gelangt das Ausgangssignal des invertierenden Gates 3 auf Massepegel (Erdpegel).

In der Zwischenzeit fällt der Pegel der Eingangsspannung V_{IN} , die an den Eingangsanschluß 1 angelegt wird, auf Massepegel ab und der NMOS-Transistor M1 wird eingeschaltet, so daß die elektrischen Ladungen am Verbindungsknoten über den NMOS-Transistor M1 abgeleitet werden.

Mit anderen Worten: Wenn der Eingangspegel V_{IN} unter den Wert $GND - V_{th}$ abfällt, so wird der NMOS-Transistor

M2 eingeschaltet und der Pegel am Knoten N1 fällt ab.

Zu diesem Zeitpunkt, wenn also der Pegel am Knoten N1 auf den Massepegel GND abfällt, wird die Spannung zwischen der Drain und der Source des NMOS-Transistors M3 gleich der Spannung zwischen dessen Gate und Source und somit kommt der NMOS-Transistor M3 in einen Sättigungszustand.

Dementsprechend bleibt der Pegel am Knoten N1 auf dem Massepegel GND und das Ausgangssignal des invertierenden Gates 3 nimmt hohen Pegel an, wodurch der Prüfbetriebszustand eingeleitet wird.

Bei einer derartigen herkömmlichen Schaltung tritt beträchtlicher Leistungsverlust aufgrund von statischen Strömen während der Prüfbetriebszustandfreigabe auf und, da der hohe Pegel am Knoten N1, der einem Ausgangssignal der invertierenden Gates M4 und M5 entspricht, den Wert $V_{DD} - V_{th}$ annimmt, ist der Störabstand unzureichend. Da weiterhin invertierende Gates verwendet werden, um den Pegel am Knoten N1 zu ermitteln, sind die Schalteigenschaften am Verbindungsknoten N3 unzureichend.

Dementsprechend liegt der Erfindung die Aufgabe zugrunde, einen Schaltkreis zum augenblicklichen Freigeben eines Test zu schaffen, bei dem ein übliches Betriebssignal während eines Prüfbetriebs an einen Eingangsanschluß angelegt werden kann.

Diese Aufgabe wird erfindungsgemäß gelöst mit einem Schaltkreis zum Herbeiführen eines Prüfbetriebszustandes für Halbleiterschaltungen, wobei der Schaltkreis einen Eingangsanschluß für ein Eingangssignal aufweist, das zwei logische Pegel für einen normalen Betriebszustand sowie einen dritten Pegel zum Aktivieren bzw. Deaktivieren des Prüfbetriebszustandes einzunehmen vermag, eine Pegeldetektoreinheit zum Ermitteln, ob der dritte Pegel des Eingangssignals anliegt; einen Schmitt-Trigger bzw. eine Schmitt-Triggereinheit zum Erzeugen eines negierten und eines nicht-negierten Steuersignals mit definierten logischen Pegeln aus einem Ausgangssignal der Pegeldetektoreinheit; eine Kipp- und Verriegelungseinheit zum Erzeugen und Ausgeben eines Prüfbetriebsfreigabesignals in Abhängigkeit der vom Schmitt-Trigger ausgegebenen Steuersignale.

Die Pegeldetektoreinheit ist so aufgebaut, daß ein Detektorsignal entsprechend einem Massespannungspegel abgegeben wird, wenn der Pegel des Eingangssignals, welches an den Eingangsanschluß angelegt wird, unterhalb des Massespannungspegels liegt, während ein Detektorsignal entsprechend einem Spannungsquellenpegel abgegeben wird, wenn der Pegel des über den Eingangsanschluß angelegten Eingangssignals größer ist als der Massespannungspegel.

Die Schmitt-Triggereinheit enthält eine erstes invertierenden Gate zum Invertieren eines Ausgangssignals des Pegeldetektorkreises, ein zweites invertierendes Gate zum Invertieren eines Ausgangssignals des ersten invertierenden Gates und zum Ausgeben eines nicht-invertierten Taktsignals eines zweiten PMOS-Transistors zum Laden eines Verbindungsknotens zwischen dem ersten invertierenden Gate und dem zweiten invertierenden Gate entsprechend der Versorgungsspannung unter Steuerung durch das nicht-invertierende Taktsignal des zweiten invertierenden Gates, einen NMOS-Transistor zum Entladen des Verbindungsknotens zwischen dem ersten invertierenden Gate und dem zweiten invertierenden Gate auf Massepotential (Erdpotential) unter Steuerung durch die nicht-invertierenden Taktsignale des zweiten invertierenden Gates, und ein drittes invertierendes Gate zum Invertieren der nicht-invertierenden Taktsignale des zweiten invertierenden Gates in ein invertierendes Taktsignal.

Die Kipp- und Verriegelungseinheit enthält einen Kipp-Abschnitt zum Erzeugen und zum Verriegeln eines Steuersi-

gnals, mit dem ein Prüfzustandsfreigabesignal erzeugt wird entsprechend den Taktsignalen aus der Schmitt-Triggereinheit, zum Übertragen des Steuersignals sowie zum Kippen des Steuersignals entsprechend einer Rückkoppelung, und einen Verriegelungsabschnitt zum Abgeben eines Testfreigabesignals in Ansprache auf das Steuersignal, das von dem Kippabschnitt übertragen wurde, unter Steuerung durch die Taktsignale der Schmitt-Triggereinheit, wodurch das Prüffreigabesignal verriegelt wird und das Kippsignal zum Kippabschnitt rückgeführt wird.

Der Kippabschnitt enthält einen PMOS-Transistor zum Aufladen eines Steuersignalerzeugungsknotens unter Steuerung durch ein Rücksetzsignal, einen NMOS-Transistor zum Bilden einer Entladeschleife bezüglich des Steuersignalerzeugungsknotens unter Steuerung durch das Rücksetzsignal, ein viertes invertierendes Gate zum Invertieren des Steuersignals vom Steuersignalerzeugungsknoten, ein erstes Übertragungsgate zum Übertragen eines Ausgangssignals des vierten invertierenden Gates als Ladesteuersignal oder als Entladesteuersignal bezüglich des Steuersignalerzeugungsknotens unter Steuerung durch die Taktsignale aus der Schmitt-Triggereinheit, einen PMOS-Transistor zum Aufladen des Steuersignalerzeugungsknotens zwischen dem Steuersignalerzeugungsknoten und dem NMOS-Transistor, basierend auf dem Ausgangssignal des vierten invertierenden Gates, welches das erste Übertragungsgate passiert hat, und dem Kippsignal, welches zum Verriegelungsabschnitt rückgeführt wurde; und mit einem zweiten Übertragungsgate zum Übertragen des Steuersignals vom Steuersignalerzeugungsknoten zum Verriegelungsabschnitt unter Steuerung durch die Taktsignale der Schmitt-Triggereinheit.

Der Verriegelungsabschnitt enthält ein fünftes invertierendes Gate zum Invertieren des Steuersignals, um das Prüfzustandsfreigabesignal zu erzeugen, das vom Kippabschnitt übertragen wurde, und um ein Prüffreigabesignal abzugeben, ein sechstes invertierendes Gate zum Invertieren des Prüffreigabesignals, ein drittes Übertragungsgate zum Rückführen eines Ausgangssignals des sechsten invertierenden Gates zum Kippabschnitt als Kippsignal unter Steuerung durch die Taktsignale der Schmitt-Triggereinheit, und ein viertes Übertragungsgate zum Rückführen eines Ausgangssignals des sechsten invertierenden Gates zum fünften invertierenden Gate als ein Eingangssignal unter Steuerung durch die Taktsignale der Schmitt-Triggereinheit.

Die Erfindung wird in der nachfolgenden Beschreibung von Ausführungsbeispielen näher erläutert.

In den Figuren zeigt:

Fig. 1 einen herkömmlichen Schaltkreis zum Einschalten eines Prüfbetriebszustandes;

Fig. 2 ein Blockdiagramm eines erfindungsgemäßen Schaltkreises zum Einschalten eines Prüfbetriebszustandes mit relativ kurzer Einschaltzeit;

Fig. 3 einen detaillierten erfindungsgemäßen Schaltkreis;

Fig. 4A-4D die Zeitverläufe der Signale der einzelnen Funktionsblöcke des Schaltkreises gemäß **Fig. 3**, im einzelnen:

Fig. 4A eine Wellenform des Eingangssignals;

Fig. 4B eine Wellenform, die an einem Eingangspegeldetektorknoten auftritt;

Fig. 4C eine Wellenform eines invertierenden Taktsignals; und

Fig. 4D eine Wellenform des Prüf-Freigabesignals.

Der in den **Fig. 2** und **3** gezeigte Schaltkreis zum augenblicklichen Freigeben eines Prüfbetriebszustandes weist eine Pegeldetektoreinheit **10** zum Nachweis des Pegels eines Eingangssignals V_{IN} auf, welches an einem Eingangsanschluß **1** anliegt, eine Schmitt-Triggereinheit **20** zum Stabilisieren des Pegels des Signals, welches mittels der Pegelde-

tektoreinheit **10** ermittelt worden ist, und zum Ausgeben des stabilisierten Signals als Taktsignale CK und \overline{CK} , und einen Kipp- und Verriegelungsschaltkreis **30** zum Ausgeben eines Prüffreigabesignals $TEST_{EN}$ unter Steuerung durch die Taktsignale CK und \overline{CK} der Schmitt-Triggereinheit **20**.

Die Pegeldetektoreinheit **10** weist einen ersten NMOS-Transistor M11 auf, dessen Drain über einen Widerstand R10 mit dem Eingangsanschluß **1** verbunden ist; und dessen Gate mit der Masse verbunden ist, sowie einen zweiten NMOS-Transistor M12, dessen Drain mit der Source des ersten NMOS-Transistors verbunden ist und dessen Gate und Source gemeinsam an Masse anliegen, einen dritten NMOS-Transistor M13, dessen Drain mit einem Verbindungsknoten n11 zwischen der Drain des zweiten NMOS-Transistors M12 und der Source des ersten NMOS-Transistors M11 verbunden ist, während ein Gate und eine Source gemeinsam mit einem Pegeldetektorknoten n12 verbunden sind, und einen PMOS-Transistor M14, dessen Drain mit dem Pegeldetektorknoten n12 verbunden ist und dessen Source an eine Spannungsversorgung V_{DD} angeschlossen ist, während das Gate an Masse liegt, so daß der Pegeldetektorkreis **10** ein Detektorsignal mit Masse-Spannungspegel GND abgibt, wenn der Pegel des Eingangssignals V_{IN} , welches am Eingangs-Anschlußstift **1** anliegt, unterhalb des Masse-Spannungspegels GND liegt, während dann, wenn der Pegel des Eingangssignals V_{IN} größer ist als der Masse-Spannungspegel GND, ein Detektorsignal mit dem Spannungspegel V_{DD} der Spannungsversorgung abgegeben wird.

Die Schmitt-Triggereinheit **20** weist ein erstes Invertergate IN1 auf mit einem PMOS-Transistor M15 und einen NMOS-Transistor M16, wobei die Gates gemeinsam an einen Pegeldetektorknoten n12 der Pegeldetektoreinheit **10** angeschlossen sind, und die Drain jeweils gemeinsam an einen Verbindungsknoten n13 angeschlossen sind, um das Ausgangssignal des Pegeldetektorkreises **10** zu invertieren, und ein zweites Invertergate IN2 mit einem PMOS-Transistor M19 und einem NMOS-Transistor M20, wobei jeweils die Gates gemeinsam an den Verbindungsknoten n13 und die Drains gemeinsam an einen nicht-invertierenden Taktsignalausgangsknoten n14 angeschlossen sind, um das Ausgangssignal des ersten Invertergates IN1 zu invertieren und ein nicht-invertierendes Taktsignal CK abzugeben, einen PMOS-Transistor M17 mit einem Gate, das an den Ausgangsknoten n14 des zweiten Invertergates IN2 angeschlossen ist, eine Source, die an einen Spannungsversorgungsanschluß V_{DD} angeschlossen ist und eine Source, die mit dem Verbindungsknoten n13 zwischen dem ersten Invertergate IN1 und dem zweiten Invertergate IN2 verbunden ist, um den Verbindungsknoten n13 mittels des nicht-invertierenden Taktsignals CK mit der Versorgungsspannung V_{DD} zu laden, und einen NMOS-Transistor M18 mit einem Gate, das an den Ausgangsknoten n14 des zweiten Invertergates IN2 angeschlossen ist, während die Source an Masse anliegt und die Drain mit dem Verbindungsknoten n13 zwischen dem ersten Invertergate IN1 und dem zweiten Invertergate IN2 verbunden ist, um den Verbindungsknoten n13 auf Grundpotential GND zu entladen mittels des nicht-invertierenden Taktsignals CK, ein drittes Invertergate IN3 einschließlich einem PMOS-Transistor M21 und einem NMOS-Transistor M22, die jeweils ein Gate aufweisen, welche gemeinsam an den Ausgangsknoten n14 des zweiten Invertergates IN2 angeschlossen sind und die Drains jeweils gemeinsam an den invertierenden Taktsignalausgangsknoten n15 angeschlossen sind, um das nicht-invertierende Taktsignal \overline{CK} in ein invertierendes Taktsignal CK zu wandeln.

Die Kipp- und Verriegelungseinheit **30** weist einen Kippabschnitt **31** auf zum Erzeugen und zum Verriegeln eines Steuersignals zum Erzeugen eines Prüfzustandsfreigabesi-

gnals in Ansprache auf die Taktsignale \overline{CK} und CK von der Schmitt-Triggerereinheit 20, sowie zum Übertragen des Steuersignals und zum Kippen des Steuersignals mittels einer Rückkoppelung desselben und einen Verriegelungsabschnitt 32 zum Ausgeben eines Prüffreigabesignals $TEST_{EX}$ in Ansprache auf das Steuersignal, welches vom Kippabschnitt 31 übertragen wurde, und unter Steuerung durch die Taktsignale \overline{CK} und CK von der Schmitt-Triggerereinheit 20, sowie zum Verriegeln des Prüffreigabesignals $TEST_{EX}$ und zum Rückführen eines Kippsignals zum Kippabschnitt 31.

Der Kippabschnitt 31 enthält einen PMOS-Transistor M23 mit einem Gate, welches an einen Rücksetzanschluß RST angeschlossen ist, einer Source, die an eine Spannungsversorgung V_{DD} angeschlossen ist, und einer Drain, die an einen Steuersignalerzeugungsknoten n16 angeschlossen ist, um den Steuersignalerzeugungsknoten n16 mittels des Rücksetzsignals RST aufzuladen, einen NMOS-Transistor M26 zum Bilden einer Entladeschleife bezüglich des Steuersignalerzeugungsknotens n16 unter Steuerung durch das Rücksetzsignal RST, ein viertes Invertergate einschließlich einem PMOS-Transistor M29 und einem NMOS-Transistor M30, deren Gates gemeinsam an den Steuersignalerzeugungsknoten n16 angeschlossen sind und deren Drains zusammengeschlossen sind, um das Steuersignal des Verbindungsknotens n16 zu invertieren, ein erstes Übertragungsgate T1 mit einem Übertragungsknoten n17, der an den Ausgangsanschluß des vierten Invertergates IN4 angeschlossen ist, um das Ausgangssignal des vierten Invertergates IN4 als Lade- bzw. Entladesteuersignal des Steuersignalerzeugungsknotens n16 unter Steuerung durch die Taktsignale \overline{CK} und CK der Schmitt-Triggerereinheit 20 zu übertragen, einen PMOS-Transistor M24 mit einem Gate, das an einen Übertragungsknoten n18 des ersten Übertragungsgates T1 und einen Kippsignalanschluß angeschlossen ist und vom Verriegelungsabschnitt 32 rückgekoppelt wird, wobei eine Quelle (dieses Transistors) an eine Spannungsversorgung V_{DD} angeschlossen ist, eine Drain mit dem Steuersignalerzeugungsknoten n16 verbunden ist, um den Steuersignalerzeugungsknoten n16 entsprechend dem Ausgangssignal des vierten Invertergates IN4 aufzuladen, und wobei das Ausgangssignal das erste Invertergate T1 passiert und das Kippsignal vom Verriegelungsabschnitt 32 rückgekoppelt wird, einen NMOS-Transistor M25 mit einem Gate, das an einen Übertragungsknoten n18 des ersten Übertragungsgates T1 und den Kippsignaleingangsanschluß angeschlossen ist, der vom Verriegelungsabschnitt 32 rückgeführt wird, und wobei eine Drain mit dem Steuersignalerzeugungsknoten n16 verbunden ist, um die Entladung des Steuersignalerzeugungsknotens n16 zwischen dem Steuersignalerzeugungsknoten n16 und dem PMOS-Transistor M26 in Ansprache auf das Ausgangssignal des vierten Invertergates IN4 zu steuern, welches das erste Invertergate IN1 passiert hat, sowie in Ansprache auf das Kippsignal, welches rückgeführt ist vom Verriegelungsabschnitt 32, und mit einem zweiten Übertragungsgate T2 mit einem Übertragungsknoten, der mit dem Steuersignalerzeugungsknoten n16 verbunden ist sowie dem anderen Übertragungsknoten n19, der an den Steuersignaleingangsanschluß des Verriegelungsabschnittes 32 angeschlossen ist, um das Steuersignal vom Steuersignalerzeugungsknoten n16 zum Verriegelungsabschnitt 32 unter Steuerung durch die Taktsignale \overline{CK} und CK der Schmitt-Triggerereinheit 20 zu übertragen.

Das erste Übertragungsgate T1 enthält einen NMOS-Transistor M28 mit einem Gate zum Empfang des nicht-invertierenden Taktsignals \overline{CK} vom Schmitt-Trigger 20, einen PMOS-Transistor M27 mit einem Gate zum Empfang des invertierenden Taktsignals CK des Schmitt-Triggers 20, einen Übertragungsknoten n17 auf einer Seite, der an einen

Ausgangsanschluß des vierten Invertergates IN4 angeschlossen ist, und einen Übertragungsknoten n18 auf der anderen Seite, der an das Gate des PMOS-Transistors M24 und das Gate des NMOS-Transistors M25 angeschlossen ist.

Das zweite Übertragungsgate T2 enthält einen NMOS-Transistor M32 mit einem Gate zum Empfang des nicht-invertierenden Taktsignals \overline{CK} vom Schmitt-Trigger 20, einen PMOS-Transistor M32 mit einem Gate zum Empfang des invertierenden Taktsignals CK des Schmitt-Triggers 20, einen Übertragungsknoten auf einer Seite, der mit dem Steuersignalerzeugungsknoten n16 verbunden ist und mit einem Übertragungsknoten auf der anderen Seite, der mit einem Eingangsknoten des Verriegelungsabschnittes 32 verbunden ist.

Der Verriegelungsabschnitt 32 enthält ein fünftes Invertergate IN5 mit einem PMOS-Transistor M33 und einem NMOS-Transistor M34, von denen jeweils die Gates gemeinsam an den Übertragungsknoten n19 des zweiten Übertragungsgates T2 des Kippabschnittes 31 angeschlossen sind, während die Drains gemeinsam an den Prüffreigabesignalknoten n21 angeschlossen sind, um das Steuersignal zu invertieren und um ein Testfreigabesignal $TEST_{EX}$ abzugeben, ein sechstes Invertergate IN6 mit einem PMOS-Transistor M35 und einem NMOS-Transistor M36, deren Gates gemeinsam an einen Testfreigabesignalausgangsknoten n21 angeschlossen sind, während die Drains gemeinsam an einen Rückkoppelknoten n20 angeschlossen sind, um das Testfreigabesignal $TEST_{EX}$ zu invertieren und rückzuführen, ein drittes Übertragungsgate T3 zum Rückführen des Ausgangssignals vom sechsten Invertergate IN6 zum Kippabschnitt 31 als Kippsignal unter Steuerung durch die Taktsignale \overline{CK} und CK von der Schmitt-Triggerereinheit 20, und ein viertes Übertragungsgate T4 zum Rückführen des Ausgangssignals vom sechsten Invertergate IN6 zum fünften Invertergate IN5 als Eingangssignal unter Steuerung durch die Taktsignale \overline{CK} und CK von der Schmitt-Triggerereinheit 20.

Das dritte Übertragungsgate T3 enthält einen NMOS-Transistor M40 mit einem Gate zum Empfang des invertierenden Taktsignals \overline{CK} von der Schmitt-Triggerereinheit 20, einen PMOS-Transistor M39 mit einem Gate zum Empfangen des nicht-invertierenden Taktsignals CK von der Schmitt-Triggerereinheit, einen Übertragungsknoten auf einer Seite, der mit dem Ausgangsanschluß des sechsten Invertergates IN6 verbunden ist, und einen Übertragungsknoten auf der anderen Seite, der mit dem Kippsignalrückführknoten des Kippabschnittes 31 verbunden ist.

Das vierte Übertragungsgate T4 enthält einen NMOS-Transistor M38 mit einem Gate zum Empfang des invertierenden Taktsignals \overline{CK} von der Schmitt-Triggerereinheit 20, einen PMOS-Transistor M37 mit einem Gate zum Empfang des nicht-invertierenden Taktsignals CK von der Schmitt-Triggerereinheit 20, einen Knoten auf einer Seite, der mit dem Ausgangsanschluß des sechsten Invertergates IN6 verbunden ist, und einen Knoten auf der anderen Seite, der mit dem Eingangsanschluß des fünften Invertergates IN5 verbunden ist.

Der Betrieb des Schaltkreises zum Freigeben eines Prüfbetriebszustandes soll nun anhand der Fig. 4A bis 4D näher beschrieben werden.

Wird das Eingangssignal V_{IS} am Eingangsanschluß 1 angelegt und liegt dessen Pegel zwischen der Bezugsspannung GND (Massespannung) und der Spannung V_{DD} der Spannungsversorgung, so werden die MOS-Transistoren M11 und M13 abgeschaltet und entsprechend wird der Pegeldetektorknoten n11 auf den Pegel der Spannungsversorgung aufgeladen, und zwar mit Hilfe des PMOS-Transistors M14. Das hochpegelige Signal am Pegeldetektorknoten n11 pas-

siert die ersten und zweiten Invertergates IN1 und IN2 der Schmitt-Triggerereinheit 20, so daß ein hochpegeliges nicht-invertierendes Taktsignal CK vom nicht-invertierenden Taktignalausgangsknoten n14 abgegeben wird. Das hochpegelige nicht-invertierende Taktsignal CK wird in ein tiefpegeliges invertierendes Taktsignal CK mittels des dritten Invertergates IN3 invertiert. Zu diesem Zeitpunkt wird der NMOS-Transistor M16, dessen Gate mit dem Ausgangsknoten n14 verbunden ist, durchgeschaltet, so daß der Pegel am Verbindungsknoten n13 zwischen dem ersten Invertergate IN1 und dem zweiten Invertergate IN2 einen tiefen Pegel annimmt.

Weil das nicht-invertierende Taktsignal CK, das von der Schmitt-Triggerereinheit 20 abgegeben wird, einen hohen Pegel hat, werden zwischenzeitlich der NMOS-Transistor M28 des ersten Übertragungsgates T1 und der NMOS-Transistor M32 des zweiten Übertragungsgates T2 eingeschaltet und das invertierende Taktsignal CK tiefpegelig ist, werden der PMOS-Transistor M27 des ersten Übertragungsgates T1 und der PMOS-Transistor M31 des zweiten Übertragungsgates T2 eingeschaltet. Mit anderen Worten: die ersten und zweiten Übertragungsgates T1 und T2 der Kipp- und Verriegelungseinheit 30 werden eingeschaltet (durchgeschaltet) und die dritten und vierten Übertragungsgates T3 und T4 werden ausgeschaltet (in Sperrstellung) durch das hochpegelige nicht-invertierende Taktsignal CK bzw. das tiefpegelige invertierende Taktsignal CK.

Unter diesen Umständen wird, falls ein Rücksetzsignal RST als tiefpegeliges Signal angelegt wird, der PMOS-Transistor M23 eingeschaltet und der NMOS-Transistor M26 wird abgeschaltet, so daß der Steuersignalerzeugungsknoten n16 mittels des PMOS-Transistors M23 auf den Spannungspegel V_{DD} der Versorgungsspannung aufgeladen wird. Das hochpegelige Signal am Steuersignalerzeugungsknoten n16 wird über das zweite Übertragungsgate T2 zum fünften Invertergate IN5 des Verriegelungsabschnittes 32 übertragen und in ein tiefpegeliges Testfreigabesignal $TEST_{EX}$ invertiert, und zwar mittels des fünften Invertergates IN5, so daß ein Zustand eingenommen wird, in dem ein Prüfbetriebszustand gesperrt ist.

Weil das erste Übertragungsgate T1 sich in einem eingeschalteten Zustand befindet und der NMOS-Transistor M30 des vierten Invertergates IN4 mittels des hochpegeligen Signals am Steuersignalerzeugungsknoten n16 eingeschaltet ist, wird zu diesem Zeitpunkt der PMOS-Transistor M24 eingeschaltet, um den Steuersignalerzeugungsknoten n16 auf den Pegel V_{DD} der Spannungsversorgung aufzuladen. Dementsprechend schwankt der Pegel am Steuersignalerzeugungsknoten n16 nicht, es sei denn, die Taktsignale CK und \overline{CK} schwanken, auch wenn das Rücksetzsignal RST schwankt und somit ein hochpegeliges Signal angelegt wird. Im Ergebnis wird das Testfreigabesignal $TEST_{EX}$, das vom Verriegelungsabschnitt 32 abgegeben wird, im tiefpegeligen Zustand gehalten, wodurch ein Betriebszustand aufrechterhalten wird, indem keine Prüfung erfolgt.

Wenn der Pegel des Eingangssignals V_{IN} , welches am Eingangsanschluß 1 angelegt wird, Werte unterhalb $GND-2V_{TH}$ annimmt (wobei V_{TH} eine Schwellenspannung des MOS-Transistors ist), wie in Fig. 4A dargestellt ist, werden die NMOS-Transistoren M11 und M13 der Pegeldetektorereinheit 10 eingeschaltet und somit wird die elektrische Ladung am Pegeldetektorknoten n12 entladen. Dies bedeutet: wenn der Pegel des Eingangssignals V_{IN} unterhalb $GND-2V_{TH}$ liegt, wird der NMOS-Transistor M11 eingeschaltet, um zu bewirken, daß der Pegel am Verbindungsknoten n11 unter $GND-V_{TH}$ absinkt und infolge dessen der NMOS-Transistor M13 eingeschaltet wird, um die elektrische Ladung am Pegeldetektorknoten n12 zu entladen, so daß die

elektrische Ladung am Pegeldetektorknoten n12 Werte unterhalb des Bezugspotentials GND annimmt, und zwar während der Zeitspanne, in der das Eingangssignal V_{IN} einen negativen Pegel annimmt, wie in Fig. 4B dargestellt ist.

Dementsprechend wird das Signal des Pegeldetektorknotens n12 am ersten Invertergate IN1 invertiert und sodann wiederum am zweiten Invertergate IN2 invertiert, so daß ein tiefpegeliges nicht-invertierendes Taktsignal CK abgegeben wird. Sodann wird das tiefpegelige nicht-invertierende Taktsignal CK wiederum invertiert, und zwar am dritten Invertergate IN3, so daß ein invertierendes Taktsignal CK als hochpegeliges Signal in einer Zeitspanne abgegeben wird, in der das Eingangssignal V_{IN} negativen Pegel annimmt, wie in Fig. 4C dargestellt ist.

Da das invertierende Taktsignal \overline{CK} , welches von der Schmitt-Triggerereinheit 20 abgegeben wird, einen hohen Pegel hat, werden der PMOS-Transistor M39 des dritten Übertragungsgates T3 und der PMOS-Transistor M37 des vierten Übertragungsgates T4, welche das invertierende Taktsignal CK über ihre Gates empfangen, eingeschaltet und weil das nicht-invertierende Taktsignal CK tiefen Pegel hat, werden der NMOS-Transistor M40 des dritten Übertragungsgates T3 und der NMOS-Transistor M38 des vierten Übertragungsgates T4, welche das nicht-invertierende Taktsignal CK empfangen, eingeschaltet, das heißt, das erste und das zweite Übertragungsgate T1 und T2 des Kipp- und Verriegelungsschaltkreises 30 werden abgeschaltet und das dritte und das vierte Übertragungsgate T3 und T4 werden eingeschaltet in Ansprache auf das tiefpegelige nicht-invertierende Taktsignal CK bzw. das hochpegelige invertierende Taktsignal \overline{CK} .

Da das erste Übertragungsgate T1 abgeschaltet ist, wird entsprechend die Entladeschleife des Knotens n18, an welche die Gates des PMOS-Transistors M24 und des NMOS-Transistors M25 angeschlossen sind, blockiert. Da das dritte Übertragungsgate T3 des Verriegelungsabschnittes 32 eingeschaltet ist, wird stattdessen ein hochpegeliges Signal als Ausgangssignal des sechsten Invertergates IN6 des Verriegelungsabschnittes 32 an die Gates des PMOS-Transistors M24 und des NMOS-Transistor M25 über das dritte Übertragungsgate T3 angelegt. Im Ergebnis wird der PMOS-Transistor M24 abgeschaltet und der NMOS-Transistor M25 wird eingeschaltet. Dementsprechend wird die elektrische Ladung am Steuersignalerzeugungsknoten n16 über den NMOS-Transistor M26 entfernt, welcher mittels des NMOS-Transistors M25 und des Rücksetzsignals RST eingeschaltet wurde. Das heißt, daß der Pegel des Steuersignalerzeugungsknoten n16 sich auf den tiefen Pegelwert ändert, aber nicht zum Verriegelungsabschnitt 32 übertragen wird, weil das zweite Übertragungsgate T2 sich im abgeschalteten Zustand befindet.

Weil das vierte Übertragungsgate T4 des Verriegelungsabschnittes 32 im eingeschalteten Zustand ist, wird das vom sechsten Invertergate IN6 abgegebene hochpegelige Signal zum Eingangsknoten n19 des fünften Invertergates IN5 über das vierte Übertragungsgate T4 rückgeführt. Im Ergebnis wird somit das Testfreigabesignal $TEST_{EX}$ auf tiefem Pegelwert konstant gehalten, so daß der Prüfbetriebszustand gesperrt ist.

Danach, wenn das Eingangssignal V_{IN} sich auf einen Pegel zwischen GND und V_{TH} ändert, wird das Ausgangssignal des Pegeldetektorkreises 10 ein hochpegeliges Signal, so daß die Taktsignale CK und \overline{CK} der Schmitt-Triggerereinheit hochpegelig bzw. tiefpegelig werden. Dementsprechend werden die ersten und zweiten Übertragungsgates T1 und T2 der Kipp- und Verriegelungseinheit 30 eingeschaltet und die dritten und vierten Übertragungsgates T3 und T4 werden abgeschaltet.

Dementsprechend wird das tiefpegelige Signal am Steuersignalerzeugungsknoten n16 an das fünfte Invertergate IN5 angelegt, und zwar über das zweite Übertragungsgate T2. Zur gleichen Zeit wird das hochpegelige Ausgangssignal vom vierten Invertergate IN4 an das Gate des NMOS-Transistors M15 über das erste Übertragungsgate T1 angelegt, so daß der NMOS-Transistor M25 kontinuierlich im eingeschalteten Zustand gehalten wird und der Steuersignalerzeugungsknoten n16 kontinuierlich im tiefpegeligen Zustand gehalten wird.

Das tiefpegelige Signal, welches durch das zweite Übertragungsgate T2 übertragen wird, wird am fünften Invertergate IN5 invertiert, so daß ein hochpegeliges Testfreigabesignal $TEST_{EX}$ abgegeben wird, welches den Prüfbetriebszustand freigibt (einleitet). Zu diesem Zeitpunkt wird das Testfreigabesignal $TEST_{EX}$ am sechsten Invertergate IN6 invertiert und in den Rückführknoten n20 als tiefpegeliges Signal geladen, während das Testfreigabesignal $TEST_{EX}$ auf hohem Pegel gehalten wird, da das dritte und das vierte Übertragungsgate T4 im ausgeschalteten Zustand sind.

Wenn der Pegel des Eingangssignals V_{IN} unterhalb $GND-2V_{TN}$ liegt, nimmt danach das Ausgangssignal des Pegeldetektorkreises 10 einen tiefen Pegel an, so daß ein tiefpegeliges Taktsignal CK und ein hochpegeliges Taktsignal \overline{CK} von der Schmitt-Triggereinheit 20 abgegeben werden. Entsprechend werden das erste und das zweite Übertragungsgate T1 und T2 der Kipp- und Verriegelungseinheit 30 abgeschaltet und das dritte und das vierte Übertragungsgate T3 und T4 werden eingeschaltet.

Als Ergebnis der Einschaltung des vierten Übertragungsgates T4 wird das tiefpegelige Ausgangssignal des sechsten Invertergates IN6 zum fünften Invertergate IN5 als Eingangssignal rückgeführt, so daß das Testfreigabesignal $TEST_{EX}$ auf hohem Pegel gehalten wird. Als Ergebnis der Einschaltung des dritten Übertragungsgates T3 wird die elektrische Ladung am Knoten n18 über den NMOS-Transistor M36 des sechsten Invertergates IN6 entladen. Dementsprechend wird der NMOS-Transistor M25 abgeschaltet und der PMOS-Transistor M24 wird eingeschaltet, so daß der Steuersignalerzeugungsknoten n16 auf den Pegel V_{DD} der Spannungsversorgung aufgeladen wird. Weil die ersten und zweiten Übertragungsgates T1 und T2 im ausgeschalteten Zustand sind, wird zu diesem Zeitpunkt das Testfreigabesignal $TEST_{EX}$ auf hohem Pegel gehalten, und zwar ohne Schwankungen auch wenn der Pegel am Steuersignalerzeugungsknoten n16 hoch ist.

Nimmt der Pegel des Eingangssignals V_{IN} Werte zwischen GND und V_{DD} an, so wird der Ausgangspegel der Pegeldetektoreinheit 10 hoch, um zu bewirken, daß die Taktsignale CK und \overline{CK} , die von der Schmitt-Triggereinheit 20 abgegeben werden, hohe bzw. tiefe Pegel annehmen. Dementsprechend werden die ersten und zweiten Übertragungsgates T1 und T2 der Kipp- und Verriegelungseinheit 30 eingeschaltet und die dritten und vierten Übertragungsgates T3 und T4 werden abgeschaltet.

Infolgedessen wird das hochpegelige Signal am Steuersignalerzeugungsknoten n16 an das fünfte Invertergate IN5 als Eingangssignal über das inzwischen eingeschaltete zweite Übertragungsgate T2 angelegt. Zur gleichen Zeit wird das tiefpegelige Ausgangssignal des vierten Invertergates IN4 an die Gates des PMOS-Transistors M24 und des NMOS-Transistors M25 über das erste Übertragungsgate T1 angelegt und im Ergebnis wird der PMOS-Transistor M24 eingeschaltet, während der NMOS-Transistor M25 abgeschaltet wird. Somit wird der Pegel am Steuersignalerzeugungsknoten n16 kontinuierlich hochgehalten.

Das hochpegelige Signal, welches über das zweite Übertragungsgate T2 übertragen wurde, wird am fünften Inver-

tergate IN5 invertiert, so daß ein tiefpegeliges Testfreigabesignal $TEST_{EX}$ abgegeben wird. Dies bedeutet, daß ein Signal zum Sperren des Prüfbetriebszustandes ausgegeben wird. Zu diesem Zeitpunkt wird das Testfreigabesignal $TEST_{EX}$ am sechsten Invertergate IN6 invertiert und in den Rückführknoten n20 als tiefpegeliges Signal geladen. Da aber die dritten und vierten Übertragungsgates T3 und T4 im abgeschalteten Zustand sind, wird das Testfreigabesignal $TEST_{EX}$ auf hohem Pegel gehalten.

Somit wird bei dem Schaltkreis zum augenblicklichen zeitweisen Einschalten eines Prüfbetriebszustandes gemäß der Erfindung dann, wenn das Eingangssignal V_{IN} , das an den Eingangsanschluß 1 angelegt wird, Werte unterhalb $GND-2V_{TN}$ annimmt, gemäß Fig. 4A ein Taktsignal CK (wie es in Fig. 4C gezeigt ist) von dem Schmitt-Trigger 20 abgegeben. Der Kippabschnitt 31 der Kipp- und Verriegelungseinheit 30 wird in Ansprache auf das Taktsignal CK der Schmitt-Triggereinheit 20 gekippt, so daß ein Zustand eingenommen wird, in dem das Testfreigabesignal erzeugt wird und sodann ein Steuersignal in den Verriegelungsabschnitt 32 eingegeben wird. Hat danach das Eingangssignal V_{IN} einen Pegel zwischen GND und V_{DD} , d. h. handelt es sich um einen normalen Eingabezustand, so wird ein Testfreigabesignal $TEST_{EX}$, welches den Prüfbetrieb ermöglicht, abgegeben, und zwar als hochpegeliges Signal, wie in Fig. 4D gezeigt ist. Das Signal wird abgegeben vom Verriegelungsabschnitt 32 unter Steuerung durch das Steuersignal vom Kippabschnitt 31. Dementsprechend ist es auch in einem Zustand, in dem der Prüfbetrieb freigegeben ist, weil das Testfreigabesignal $TEST_{EX}$ seinen Zustand beibehält, um den Prüfbetrieb freizugeben, auch wenn ein normales Betriebseingangssignal zwischen GND und V_{DD} am Eingang 1 angelegt ist, möglich, den Eingangsanschluß 1 als einen Eingang für einen normalen Betrieb zu benutzen, obwohl gerade ein Prüfbetriebszustand gegeben ist.

Weist das Eingangssignal V_{IN} einen Pegel unterhalb $GND-2V_{TN}$ auf, so wird der Kippabschnitt 31 gekippt und ein Steuersignal zum Sperren des Prüfbetriebs wird erzeugt, wobei ein Testfreigabesignal $TEST_{EX}$ zum Freigeben des Prüfbetriebs kontinuierlich vom Verriegelungsabschnitt 32 abgegeben wird. Liegt danach wieder ein normaler Betriebszustand mit Signaleingabe vor, in dem das Eingangssignal V_{IN} einen Pegel zwischen GND und V_{DD} aufweist, so wird ein Testfreigabesignal $TEST_{EX}$ zum Sperren des Prüfbetriebs von dem Verriegelungsabschnitt 31 in Ansprache auf das Steuersignal vom Kippabschnitt 31 gegeben. Nimmt danach das Eingangssignal V_{IN} negative Werte an, so wird ein Prüfbetriebszustand $TEST_{EX}$ abgegeben, wobei die oben beschriebenen Kipp- und Verriegelungsoperationen durchgeführt werden.

Gemäß der vorstehenden Beschreibung bewirkt die Schaltung, daß es möglich ist, normale Betriebssignale an den Eingangsanschluß auch dann anzulegen, wenn der Prüfbetriebszustand freigegeben ist, so daß der Eingangsanschluß auch für andere Zwecke verwendet werden kann. Da der Prüfbetrieb durch Kippen eines negativen Eingangssignals freigegeben wird, können die Prüfbetriebs- und Prüfsperroperationen in einfacher Weise durch eine augenblickliche Variation des Eingangssignals durchgeführt werden. Da weiterhin das Eingangssignaldetektorsignal durch einen Schmitt-Triggerkreis stabilisiert wird, kann der Rauschabstand extrem günstig gestaltet werden.

Patentansprüche

1. Schaltkreis zum Herbeiführen eines Prüfbetriebszustandes für Halbleiterschaltungen, mit:
einem Eingangsanschluß 1 für ein Eingangs-

signal (V_{IN}), das zwei logische Pegel für einen normalen Betriebszustand sowie einen dritten Pegel zum Aktivieren bzw. Deaktivieren des Prüfbetriebszustandes einzunehmen vermag:

- einer Pegeldetektoreinheit (10) zum Ermitteln, ob der dritte Pegel des Eingangssignals (V_{IN}) anliegt;

- einem Schmitt-Trigger (20) zum Erzeugen eines negierten und eines nicht-negierten Steuersignals (\overline{CK} , CK) mit definierten logischen Pegeln aus einem Ausgangssignal (n12) der Pegeldetektoreinheit (10);

- einer Kipp- und Verriegelungseinheit (30) zum Erzeugen und Ausgeben eines Prüfbetriebsfreigabesignals ($TEST_{EN}$) in Abhängigkeit der vom Schmitt-Trigger (20) ausgegebenen Steuersignale (\overline{CK} , CK).

2. Schaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß die Pegeldetektoreinheit (10) ein Ausgangssignal (n12) mit Bezugspotential (GND) abgibt, wenn der Pegel des über den Eingangsanschluß (1) eingegebenen Eingangssignals (V_{IN}) unterhalb dem Bezugspotential (GND) liegt, und ein Ausgangssignal (n12) mit dem Pegel der Versorgungsspannung, wenn der Pegel des über den Eingangsanschluß (1) eingegebenen Eingangssignals größer ist als das Bezugspotential (GND).

3. Schaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß die Pegeldetektoreinheit (10) folgende Elemente aufweist:

- einen ersten NMOS-Transistor (M11) mit einer Drain, die mit dem Eingangsanschluß (1) über einen Widerstand (R10) verbunden ist, und ein Gate, das mit dem Bezugspotential verbunden ist;

- einen zweiten NMOS-Transistor (M12) mit einer Drain, die an eine Source des ersten NMOS-Transistors (M11) angeschlossen ist, und einem Gate sowie einer Source, die gemeinsam an das Bezugspotential angeschlossen sind;

- einen dritten NMOS-Transistor (M13) mit einer Drain, die an einen Verbindungsknoten (n11) der Drain des zweiten NMOS-Transistors (M12) und der Source des ersten NMOS-Transistors (M11) angeschlossen ist, und mit einem Gate und einer Source, die gemeinsam an den Pegeldetektorknoten (n12) angeschlossen sind, und

- einen PMOS-Transistor (M14) mit einer Drain, die an den Pegeldetektorknoten (n12) angeschlossen ist, sowie mit einer Source, die an die Spannungsversorgung (V_{DD}) angeschlossen ist und einem Gate, das an das Bezugspotential angeschlossen ist.

4. Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schmitt-Triggerereinheit (20) folgende Elemente aufweist:

- ein erstes Invertergate (IN1) zum Invertieren eines Ausgangssignals der Pegeldetektoreinheit (10);

- ein zweites Invertergate (IN2) zum Invertieren eines Ausgangssignals des ersten Invertergates (IN1) und zum Ausgeben eines nicht-negierten Steuersignals (CK);

- einen zweiten PMOS-Transistor zum Laden des Verbindungsknotens zwischen dem ersten Invertergate (IN1) und dem zweiten Invertergate (IN2) auf den Pegel der Spannungsversorgung unter Steuerung durch die nicht-negierten Steuersignale (CK) des zweiten Invertergates (IN2);

- einen NMOS-Transistor zum Entladen des Ver-

bindungsknotens (n13) zwischen dem ersten Invertergate (IN1) und dem zweiten Invertergate (IN2) auf das Bezugspotential unter Steuerung durch die nicht-negierten Steuersignale (CK) vom zweiten Invertergate (IN2); und

- ein drittes Invertergate (IN3) zum Invertieren der nicht-negierten Steuersignale (CK) vom zweiten Invertergate (IN2) in negierte Steuersignale (\overline{CK}).

5. Schaltkreis nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Kipp- und Verriegelungseinheit (30) folgende Elemente aufweist:

- einen Kippabschnitt (31) zum Erzeugen und Verriegeln eines Steuersignals zum Erzeugen eines Prüfbetriebsfreigabesignals in Ansprache auf die Steuersignale des Schmitt-Triggers (20), und zum Übertragen des Steuersignals und Kippen desselben über eine Kippsignallückführung; und

- einen Verriegelungsabschnitt (32) zum Abgeben eines Testfreigabesignals in Ansprache auf das Überführen des Steuersignals vom Kippabschnitt unter Steuerung durch die Steuersignale von dem Schmitt-Trigger (20), und zum Verriegeln des Testfreigabesignals sowie zum Rückführen eines Kippsignals in den Kippabschnitt (31).

6. Schaltkreis nach Anspruch 5, dadurch gekennzeichnet, daß der Kippabschnitt (31) folgende Elemente aufweist:

- einen PMOS-Transistor (M23) zum Aufladen eines Steuersignalerzeugungsknotens (n16) unter Steuerung durch ein Rücksetzsignal (RST);

- einen NMOS-Transistor (M26) zum Bilden einer Entladeschleife bezüglich des Steuersignalerzeugungsknotens (n16) unter Steuerung durch das Rücksetzsignal (RST);

- ein viertes Invertergate (IN4) zum Invertieren der Steuersignale vom Steuersignalerzeugungsknoten;

- ein erstes Übertragungsgate (T1) zum Übertragen eines Ausgangssignals vom vierten Invertergate (IN4) als Ladesteuersignal oder als Entladesteuersignal bezüglich des Steuersignalerzeugungsknotens (n16) entsprechend einer Steuerung durch die Steuersignale von dem Schmitt-Trigger (20);

- einen PMOS-Transistor zum Laden des Steuersignalerzeugungsknotens (n16) entsprechend dem Ausgangssignal des vierten Invertergates (IN4), welches das erste Übertragungsgate (T1) passiert hat, und dem Kippsignal, welches von dem Verriegelungsabschnitt (32) rückgeführt wurde; und

- ein zweites Übertragungsgate (T2) zum Übertragen der Steuersignale vom Steuersignalerzeugungsknoten (n16) zum Verriegelungsabschnitt (32) unter Steuerung durch die Steuersignale von dem Schmitt-Trigger (20).

7. Schaltkreis nach Anspruch 6, dadurch gekennzeichnet, daß das erste Übertragungsgate (T1) folgende Bauteile aufweist:

- einen NMOS-Transistor (M28) mit einem Gate zum Empfangen der nicht-negierten Steuersignale (CK) von dem Schmitt-Trigger (20);

- einen PMOS-Transistor (M27) mit einem Gate zum Empfangen der negierten Steuersignale (\overline{CK}) von dem Schmitt-Trigger (20);

- einen Übertragungsknoten auf einer Seite, der mit dem Ausgangsanschluß des vierten Invertergates (IN4) verbunden ist; und

einen weiteren Übertragungsknoten (n18) auf der anderen Seite, der an das Gate des PMOS-Transistors (M24) und das Gate des NMOS-Transistors (M25) angeschlossen ist.

8. Schaltkreis nach Anspruch 6, dadurch gekennzeichnet, daß das zweite Übertragungsgate (T2) folgende Bauteile aufweist:

- einen NMOS-Transistor (M32) mit einem Gate zum Empfangen der nicht-negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen PMOS-Transistor (M32) mit einem Gate zum Empfangen der negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen Übertragungsknoten auf der einen Seite, der mit dem Steuersignalerzeugungsknoten (n16) verbunden ist; und
- einen Übertragungsknoten auf der anderen Seite, der mit dem Eingangsknoten des Verriegelungsabschnittes (32) verbunden ist.

9. Schaltkreis nach Anspruch 5, dadurch gekennzeichnet, daß der Verriegelungsabschnitt (32) folgende Bauteile aufweist:

- ein fünftes Invertergate (IN5) zum Invertieren eines Steuersignals für die Erzeugung eines Prüfbetriebsfreigabesignals, welches (Steuersignal) vom Kippabschnitt (31) übertragen wurde, und zum Ausgeben eines Testfreigabesignals (TEST_{EX});
- ein sechstes Invertergate (IN6) zum Invertieren des Testfreigabesignals;
- ein drittes Übertragungsgate (T3) zum Rückführen eines Ausgangssignals vom sechsten Invertergate (IN6) zum Kippabschnitt (31) als Kippsignal unter Steuerung durch die Steuersignale von dem Schmitt-Trigger (20); und
- ein viertes Übertragungsgate (T4) zum Rückführen eines Ausgangssignals vom sechsten Invertergate (IN6) zum fünften Invertergate (IN5) als Eingangssignal unter Steuerung durch die Steuersignale von dem Schmitt-Trigger (20).

10. Schaltkreis nach Anspruch 9, dadurch gekennzeichnet, daß das dritte Übertragungsgate (T3) folgende Bauteile aufweist:

- einen NMOS-Transistor (M40) mit einem Gate zum Empfangen der negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen PMOS-Transistor (M39) mit einem Gate zum Empfangen der nicht-negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen Übertragungsknoten auf der einen Seite, der mit dem Ausgangsanschluß des sechsten Invertergates (IN6) verbunden ist; und
- einen Übertragungsknoten auf der anderen Seite, der mit einem Kippsignallückführknoten des Kippabschnittes (31) verbunden ist.

11. Schaltkreis nach Anspruch 9, dadurch gekennzeichnet, daß das vierte Übertragungsgate (T4) folgende Bauteile aufweist:

- einen NMOS-Transistor (M38) mit einem Gate zum Empfangen der negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen PMOS-Transistor (M37) mit einem Gate zum Empfangen der nicht-negierten Steuersignale (CK) von dem Schmitt-Trigger (20);
- einen Übertragungsknoten auf der einen Seite, der mit einem Ausgangsanschluß des sechsten Invertergates (IN6) verbunden ist; und
- einen Übertragungsknoten auf der anderen

Seite, der mit dem Eingangsanschluß des fünften Invertergates (IN5) verbunden ist.

Hierzu 4 Seiten Zeichnungen

FIG. 1

Stand der Technik

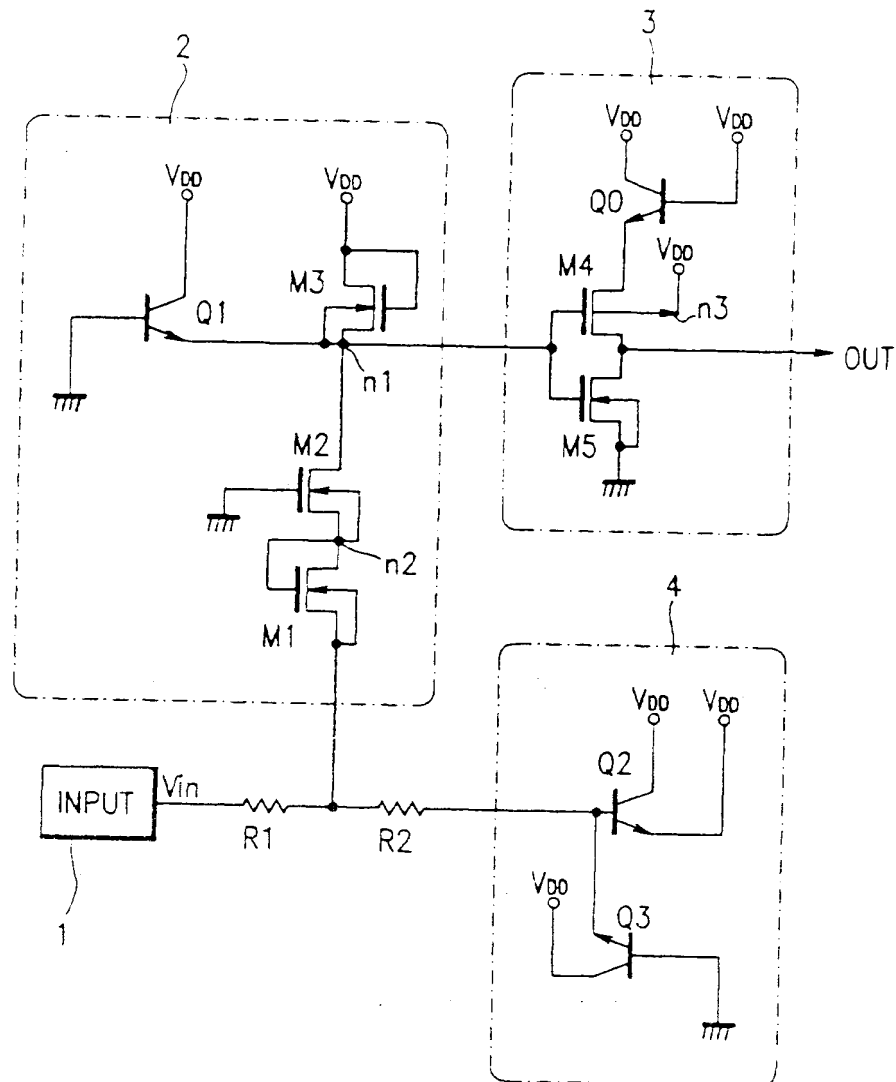


FIG. 2 ~~X~~

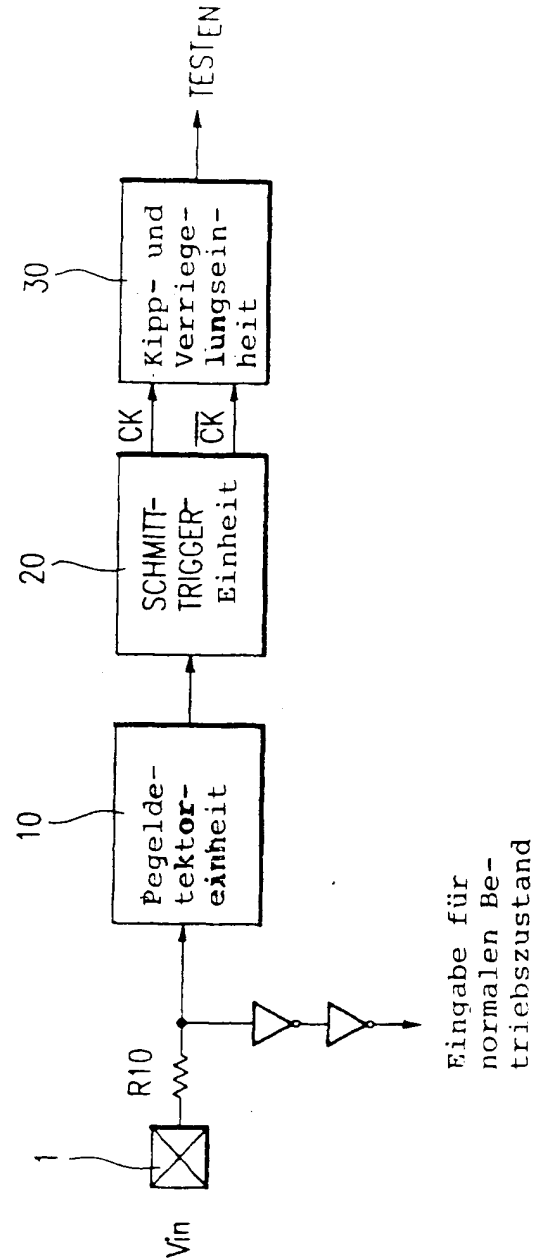


FIG. 3

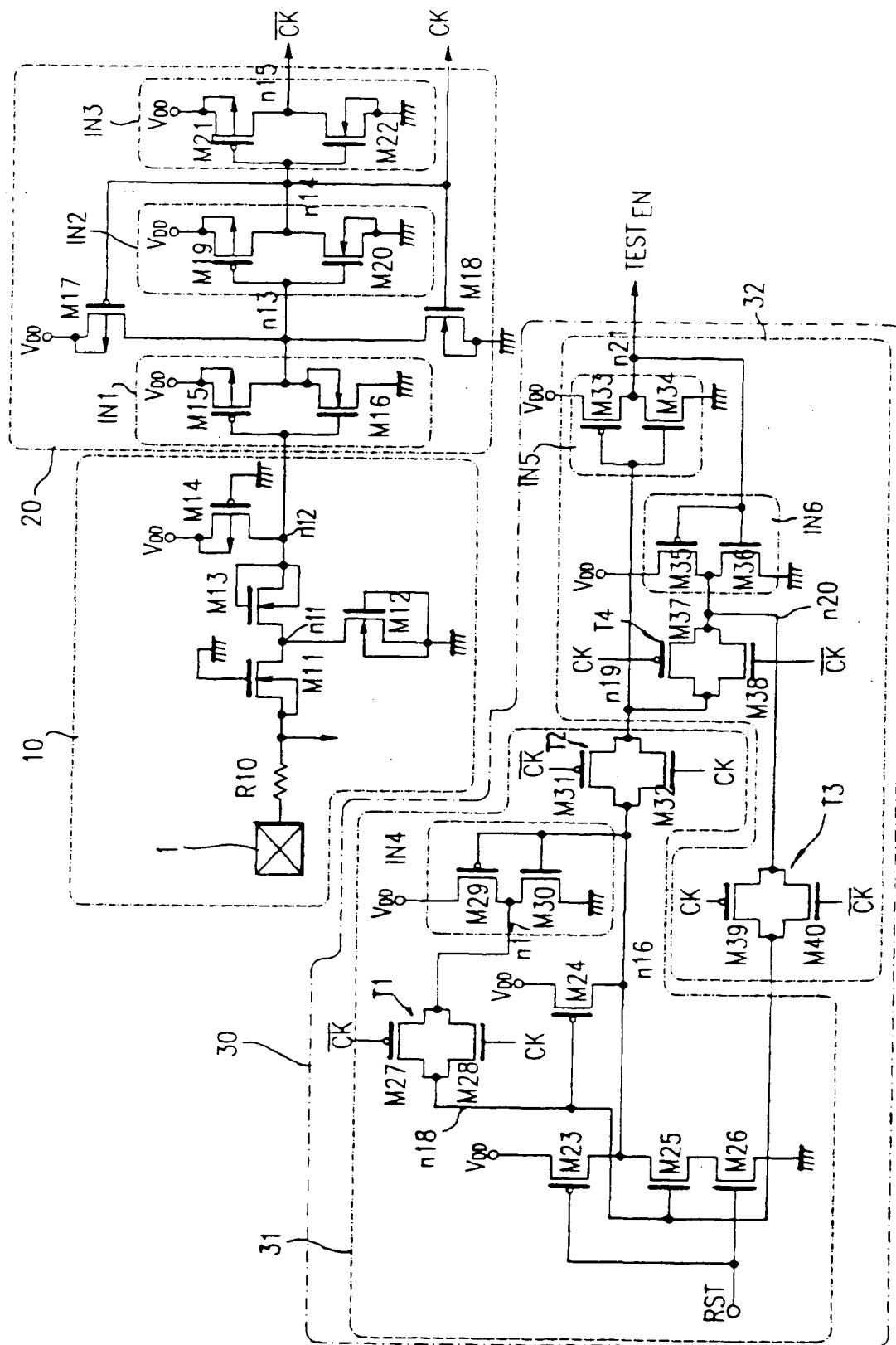


FIG.4A

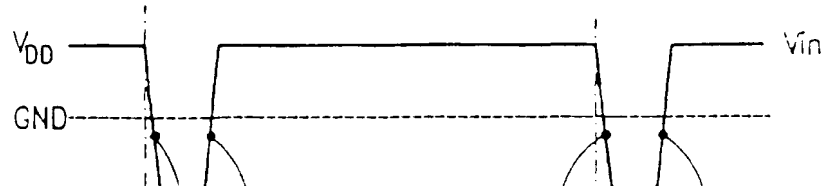


FIG.4B

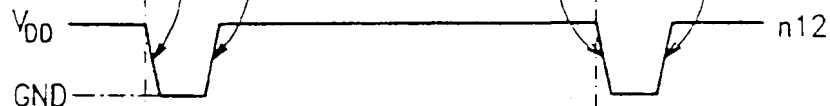


FIG.4C



FIG.4D

